

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-156511

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月29日

G 02 F 1/136
H 01 L 27/12
29/784

5 0 0

A

9018-2K
7514-4M

9056-4M H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 薄膜トランジスタマトリックスの製造方法および表示装置

⑯ 特 願 平2-281642

⑰ 出 願 平2(1990)10月19日

⑱ 発 明 者 田 中 勉 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 梁 井 健 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発 明 者 三 島 康 由 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 発 明 者 沖 賢 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 井 桁 貞一

明 細 書

1 発明の名称

薄膜トランジスタマトリックスの製造方法および表示装置

2 特許請求の範囲

(1) 基板と、

該基板上にマトリックス状に配列された孤立した複数の表示電極と、

該表示電極の間を第1の方向に延在するように該基板上に形成された第1のバス電極と、

該表示電極の間を前記第1の方向と交差する第2の方向に延在し且つ該第1のバス電極と電気的に分離されるようにして該基板上に形成された第2のバス電極と、

該第1のバス電極とこれに隣接する該表示電極とを接続するようにして該基板上に形成された半導体層を能動層として有し且つ該第2のバス電極から該半導体層上にゲート絶縁層を介して延在する部分をゲート電極として有する複数の絶縁ゲ-

ト型の薄膜トランジスタ

とから成る薄膜トランジスタマトリックスの製造において、

該基板上にあらかじめ導電層と遮光膜とを順次形成する工程と、

該遮光膜上にレジスト層を形成する工程と、

少なくとも前記表示電極が形成される領域における該レジスト層を、該遮光層を等方性のエッチング剤によりエッチングしたときに生じるサイドエッチング量の2倍以下の幅を有する格子状にパターンニングする工程と、

前記パターンニングされたレジスト層から表出する該遮光層および該導電層を順次エッチングしたのち、前記表示電極が形成される領域における該遮光層がちょうど除去されるまで該レジスト層をマスクとして該遮光層を該等方性のエッチング剤により選択的にエッチングする工程

とを含み、次いで該レジスト層を除去したのち該基板上に誘電体層を形成し、該誘電体層上に前記表示電極と第1および第2のバス電極と半導体層

を形成することを特徴とする薄膜トランジスタマトリックスの製造方法。

(2)請求項1記載の方法によって製造された薄膜トランジスタマトリックスを有する前記基板と、

透明電極が形成された一表面を有し且つ該透明電極が前記表示電極と所定間隙を以て対向するように該基板と相対的に配置された透明基板と、

該表示電極と透明電極間に充填され且つ該表示電極と透明電極間に印加された電圧によってその光学的性質を変化する電気光学物質から成る層とを備えたことを特徴とする表示装置。

(3)前記基板に形成された導電層は前記表示電極および誘電体層とともに前記電気光学物質層に並列に接続される補助容量を構成することを特徴とする請求項2記載の表示装置。

3 発明の詳細な説明

(概 要)

薄膜トランジスタマトリックス、とくに、各々のトランジスタに遮光膜と補助容量が設けられた

設けられた薄膜トランジスタマトリックスに関し、

該光膜および補助容量用電極を同一のエッチングマスクを用いてパターンニング可能とすることを目的とし、

基板上にあらかじめ導電層と遮光膜とを順次形成し、該遮光膜上にレジスト層を形成し、少なくとも表示電極が形成される領域における該レジスト層を、該遮光層を等方性のエッチング剤によりエッチングしたときに生じるサイドエッチング量の2倍以下の幅を有する格子状に残るようにパターンニングし、パターンニングされた該レジスト層から表出する該遮光層および導電層を順次エッチングしたのち、表示電極が形成される領域における該遮光層がちょうど除去されるまで該レジスト層をマスクとして該遮光層を該等方性のエッチング剤により選択的にエッチングし、次いで該基板上に誘電体層を形成し、該誘電体層上に前記表示電極、互いに交差する第1および第2のバス電極および前記能動層となる半導体層を形成するように構成する。

(産業上の利用分野)

本発明は、薄膜トランジスタ(TFT)マトリックス、とくに、各々のトランジスタに補助容量が接続されたTFTマトリックス、および、該TFTマトリックスを用いて成る液晶表示装置に関する。

液晶セルに直列接続されたTFTをオン・オフして駆動される液晶表示装置が、すでに小型テレビ等として実用化されており、さらに大型のテレビやラップトップ型パーソナルコンピュータの表示装置に向けての開発が進められている。上記薄膜トランジスタの構造から、スタガー型と逆スタガー型とがあり、スタガー型は構造が簡単なため、製造工数が少なく、量産性にすぐれているとされている。

(従来の技術)

第5図はスタガー型TFTマトリックスの一般的構造を示す要部断面図であって、透明な絶縁性の基板1上には、補助容量用透明電極2と不透明な

遮光層3が形成されており、これらの上に補助容量を構成する誘電体層4が積層され、誘電体層4上に透明な表示電極5とバス電極51が形成されている。表示電極5とバス電極51は同一の透明導電膜をパターンニングして成り、表示電極5は基板1上にマトリックス状に配列されており、バス電極(列電極)51は表示電極5間を、紙面に垂直方向に延在するように形成されている。

そして、表示電極5と、これに隣接する各々のバス電極51間には、これらを接続するようにして、例えばアモルファスシリコン(α -Si)から成る半導体層7が互いに孤立するようにして形成されている。半導体層7上には、ゲート絶縁層8を介してゲート電極9が形成されている。ゲート電極9は、表示電極5の間を、紙面に平行な方向に延在するように形成された図示しないバス電極(行電極)が紙面に垂直な方向に延在した部分である。また、半導体層7と表示電極5およびバス電極51の間には、これらの接触抵抗を小さくするためのオーミックコンタクト層6が設けられている。

なお、補助容量用透明電極2は誘電体層4および表示電極5とともに容量(補助容量)を構成する。この容量は、上記構造のTFTマトリックスを用いて成る液晶表示装置等のセル容量を等価的に大きくする。したがって、前記行電極または列電極を時分割走査したときに、寄生容量を通じて非選択セルに生じるクロストークの影響が低減される。また、遮光層3は、基板1側から半導体層7に外来光が入射すると、オフの状態のTFTに光電流が流れ、非選択セルが半選択の状態になってしまうのを防止するためのものである。したがって、図示のようなスタガー型TFTマトリックスにおいては必須であるが、ゲート電極9が誘電体層4に接して形成され、半導体層7との上下位置が反転した構造の逆スタガー型TFTマトリックスにおいては必須ではなく、従来は設けられていない。

(発明が解決しようとする課題)

スタガー型TFTマトリックスの従来の製造においては、補助容量用透明電極2と遮光層3とは別

おける遮光膜および補助容量用電極のパターンニングの問題、さらには、逆スタガー型を含むTFTマトリックスにおける補助容量用電極の接続抵抗の問題を解決することを目的とする。

(課題を解決するための手段)

上記目的は、基板と、該基板上にマトリックス状に配列された孤立した複数の表示電極と、該表示電極の間を第1の方向に延在するように該基板上に形成された第1のバス電極と、該表示電極の間を前記第1の方向と交差する第2の方向に延在し且つ該第1のバス電極と電気的に分離されるようにして該基板上に形成された第2のバス電極と、該第1のバス電極とこれに隣接する該表示電極とを接続するようにして該基板上に形成された半導体層を能動層として有し且つ該第2のバス電極から該半導体層上にゲート絶縁層を介して延在する部分をゲート電極として有する複数の絶縁ゲート型の薄膜トランジスタとから成る薄膜トランジスタマトリックスの製造において、該基板上にあら

々のエッチング工程によりパターンニングされていた。すなわち、基板1上に、補助容量用透明電極2を構成する、例えば酸化インジウム(ITO)から成る薄膜を形成し、これをフォトリソグラフィによりパターンニングしたのち、基板1上に、例えばクロム(Cr)薄膜を堆積し、これをフォトリソグラフィにより遮光層3にパターンニングする。したがって、工程数が多く、その結果、塵埃の付着やパターンの位置ずれによる不良の発生率が高く、歩留りを低下する主な原因となる問題があった。

また、補助容量用透明電極2は外部回路に接続されるが、このときの外部回路との間の接続抵抗は、従来のTFTマトリックスにおいては、ITOの抵抗によって決ってしまうために、接続部分のパターンが狭い場合には、比較的大きな値となり、TFTマトリックスのスイッチング速度に影響が生じてくる。これは、スタガー型または逆スタガー型のいずれにおいても問題となる。

本発明は、上記スタガー型TFTマトリックスに

はじめ導電層と遮光膜とを順次形成する工程と、該遮光膜上にレジスト層を形成する工程と、少なくとも前記表示電極が形成される領域における該レジスト層を、該遮光層を等方性のエッチング剤によりエッチングしたときに生じるサイドエッチング量の2倍以下の幅を有する格子状にパターンニングする工程と、前記パターンニングされたレジスト層から表出する該遮光層および該導電層を順次エッチングしたのち、前記表示電極が形成される領域における該遮光層がちょうど除去されるまで該レジスト層をマスクとして該遮光層を該等方性のエッチング剤により選択的にエッチングする工程とを含み、次いで該レジスト層を除去したのち該基板上に誘電体層を形成し、該誘電体層上に前記表示電極と第1および第2のバス電極と半導体層を形成することを特徴とする本発明に係る薄膜トランジスタマトリックスの製造方法、または、上記の方法によって製造された薄膜トランジスタマトリックスを有する前記基板と、透明電極が形成された一表面を有し且つ該透明電極が前記

表示電極と所定間隙を以て対向するように該基板と相対的に配置された透明基板と、該表示電極と透明電極間に充填され且つ該表示電極と透明電極間に印加された電圧によってその光学的性質を変化する電気光学物質から成る層とを備えたことを特徴とする本発明に係る表示装置、または、前記基板に形成された導電層は前記表示電極および誘電体層とともに前記電気光学物質層に並列に接続される補助容量を構成することを特徴とする本発明に係る表示装置のいずれかによって達成される。

〔作用〕

第1図は本発明の原理説明図であって、便宜上スタガー型TFTマトリックスの構造にもとづいている。同図(a)~(c)は断面図、同図(d)は同図(a)に対応する平面図である。まず、同図(a)に示すように、被エッチング層20と30が積層された基板1上に、レジスト層40を形成する。レジスト層40は、同図(a)と(d)に示すように、基板1表面に画定された第1の領域においては、幅 w を有する格子状にパタ

ーンニングされており、第2の領域においては、上記幅より充分大きな寸法を有する所望の形状にパターンニングされている。

上記のようにパターンニングされたレジスト層40をマスクとして被エッチング層20および30を順次エッチングする。その結果、第1の領域には、同図(b)に示すように、上記格子状の被エッチング層20および30が残る。上記エッチングは、異方性のエッチング剤を用いて行うのが望ましい。

次いで、等方性のエッチング剤を用いて被エッチング層30を選択的にエッチングすると、レジスト層40下の被エッチング層30がサイドエッチングされる。前記第1の領域におけるレジスト層40の格子の幅 w の値が、サイドエッチング量(s)の2倍以下であると、前記第1の領域における被エッチング層30は、両側からのサイドエッチングによって、同図(c)に示すように、レジスト層40下の部分が消失する。

上記のようにして、同一のレジスト層40をマスクとして、第1の領域には、被エッチング層20の

格子状パターンのみを残し、一方、第2の領域には、被エッチング層30から成る所望のパターンを形成できる。

なお、上記における格子は、互いに平行かまたは交差するかのいずれのパターンであってもよい。ただし、平行な場合には、例えば基板1の表面または基板1の外部において、これら格子を相互接続することが必要である。

〔実施例〕

以下本発明によるTFTトランジスタマトリックスの製造工程の実施例を第2図を参照して説明する。同図における(a₁)~(d₁)は要部断面図、(a₂)~(d₂)は対応する平面図であり、既掲の図面におけるのと同じ部分には同一符号を付してある。

同図(a₁)に示すように、例えばガラスのような透明絶縁性の基板1表面全体に、ITOから成る厚さ約400Åの透明導電層と厚さ約600Åのクロム(Cr)層を、スパッタリング法により連続して堆積する。そして、第1図を参照して説明した方法を

用いて、これらの透明導電層およびCr層をエッチングし、少なくとも前記表示電極5を形成する領域には格子状パターンから成る補助容量用透明電極2のみを残し、一方、TFTの能動層を構成する前記半導体層7が形成される領域には、上記Cr層から成る遮光層3を形成する。

上記における格子の幅 w は5μm程度とする。したがって、前記半導体層7形成領域におけるCr層には、少なくとも2.5μm程度のサイドエッチングが生じるので、所定寸法の遮光層3を形成するためには、この領域をマスクするレジスト層パターンは、このサイドエッチング量を見込んであらかじめ大きくしておく必要があることは言うまでもない。

なお、上記において、Cr層のエッチングは硝酸二アンモニウムセリウムと過塩素酸の混合液を用い、ITOから成る透明導電層のエッチングは、塩酸系のエッチング液を用いて行えばよい。これらは、CrとITOの組合せにおいて選択性を有するエッチング液である。上記エッチング後に、遮光層3の

下に前記透明導電層が残るが差支えない。

なお、スタガー型TFTマトリックスにおいては、半導体層7を形成する領域に遮光層3が形成されており、かつ、表示電極5を形成する領域から遮光層3が除去されていることが要件であり、また、逆スタガー型TFTマトリックスにおいては、表示電極5を形成する領域から遮光層3が除去されていることのみが要件である。したがって、同図(b₁)に示すように、半導体層7を形成する以外のすべての領域に、前記透明導電層または補助容量用透明電極2と同じ格子状の透明電極を残しても差支えない。また、表示電極5を形成する点線で囲んだ領域以外の領域のすべてに遮光層3と同じCr層を残しても差支えない。これらは、レジストマスクに対する格子状パターンの配置によって任意にできる。

第4図は、遮光層3を構成するCr層を、表示電極5の間を走る格子状にパターンニングして残した実施例を示す。このようにCr層を残すことは、補助容量用透明電極2と外部回路との間の接続抵

抗を低減する上で、スタガー型および逆スタガー型のいずれのTFTマトリックスに対しても有効である。

抗を低減する上で、スタガー型および逆スタガー型のいずれのTFTマトリックスに対しても有効である。

上記ののち、基板1表面全体に、例えばプラズマCVD(化学気相成長)法を用いて、SiO₂から成る厚さ約3000Åの誘電体層4を堆積する。

ここで、スタガー型TFTの場合には、誘電体層4上に、ITOから成る厚さ約400Åの透明導電層50および厚さ約300Åの高濃度のn型アモルファスシリコン(n⁺-α-Si)層60を堆積する。ITO透明導電層50は、例えばスパッタリング法により、n⁺-α-Si層60は、例えばプラズマCVD法により形成する。

次いで、n⁺-α-Si層60と透明導電層50をフォトリソグラフ工程により順次パターンニングし、同図(b₁)および(b₂)に示すように、前記透明導電層50から成る表示電極5およびバス電極51を形成する。上記において、n⁺-α-Si層60のパターンニングはCF₄系のガスを用いるドライエッチングにより、また、透明導電層50のパターンニングは

塩酸系のエッチング液により行えば、SiO₂から成る誘電体層4と選択的に実施可能である。なお、バス電極51は、マトリックス状に配列された表示電極5の間を、例えば列方向に延在する。また、n⁺-α-Si層60は、後述する工程においてさらにパターンニングされ、オーミックコンタクト層6となる。

第4図は、遮光層3を構成するCr層を、表示電極5の間を走る格子状にパターンニングして残した実施例を示す。このようにCr層を残すことは、補助容量用透明電極2と外部回路との間の接続抵抗を低減する上で、スタガー型および逆スタガー型のいずれのTFTマトリックスに対しても有効である。

なお、ゲート絶縁層8を構成する前記絶縁層は、後述するバス電極10が前記バス電極51と交差する領域を覆うようにパターンニングされる。図には、ゲート絶縁層8がこのような交差領域を覆う部分と一体にパターンニングされた場合の例が示されている。

上記ののち、基板1全面に、例えば真空蒸着法を用いて、厚さ約1000ÅのAl層を堆積し、これをフォトリソグラフ工程によってパターンニングして、同図(d₁)および(d₂)に示すように、ゲート絶縁層8上のゲート電極9を延在部分として有するバス電極10を形成し、本発明に係るTFTマトリックスが完成する。なお、上記ゲート電極9およびバス電極10のパターンニングは、磷酸系のエッチング剤を用いて行えばよい。

逆スタガー型TFTについては詳細を省略するが、要するに、ゲート電極9を延在部分として有する

次いで、基板1全面に、例えばプラズマCVD法により、厚さ約500Åのα-Si層、および、Si₃N₄等から成る厚さ約3000Åの絶縁層を順次堆積する。そして、フォトリソグラフ工程によりこれらをパターンニングして、同図(c₁)および(c₂)に示すように、TFTの能動層となる半導体層7とゲート絶縁層8を形成する。同時に、前記、n⁺-α-Si層60がパターンニングされてオーミックコンタクト層6が形成され、また、オーミックコンタクト層6の直下以外の領域における表示電極5およびバス電極51が表出する。上記における絶縁層とα-Si層およびn⁺-α-Si層60のパターンニングはCF₄系のガスを用いるドライエッチングにより行え

バス電極10を誘電体層4上に最初に形成し、次いでゲート絶縁層8を全面に形成したのち、半導体層7とオーミックコンタクト層6と表示電極5およびバス電極51を形成する順序となる。

第3図は、上記スタガー型TFTマトリックスを用いて成る液晶表示装置の要部断面図であって、例えばITOから成る透明電極12が形成されたガラス等から成る透明絶縁性基板13が、透明電極12を基板1側に向けて、透明電極12と基板1上の表示電極5との間を所定の間隙を維持するようにして固定され、この間隙に液晶15が充填されている。

透明電極12を、例えば接地電源に接続しておき、バス電極51に所定のパルス電圧を時分割で印加し、この間に、当該バス電極51に接続されたTFTのうち選択されたTFTのゲート電極9(前記バス電極10)に電圧を印加して、このTFTをオン状態にすると、表示電極5と透明電極12間の液晶15の光学の性質が変化する。このようにして、各々の表示電極5に対応する液晶15に明暗または色の変化が与えられ、これらの液晶15を画素とする画像表示

が行われる。

通常、補助容量用透明電極2も接地電源に接続される。したがって、補助容量用透明電極2—表示電極5間の容量(補助容量)は、表示電極5—透明電極12間の容量と並列に接続された状態となる。TFTがオフ状態のときには、表示電極5は回路的に浮遊状態にあるため、他の画素に対する蓄込み情報が、寄生容量を通じてクロストークしやすい。そこで、前記補助容量を寄生容量に比べて充分大きくしておけば、前記寄生容量によるクロストークを低減することができる。

なお、本発明によるスタガー型または逆スタガー型のTFTマトリックスの適用範囲は、液晶表示装置に限定されないことは言うまでもない。

(発明の効果)

本発明によれば、スタガー型TFTマトリックスにおける遮光層と補助容量用透明電極とを、同一のレジストマスクを用いるエッチングによりパターンニング可能となり、その結果、該TFTマトリ

ックスの製造工数を低減するとともに製造歩留りを向上可能とする効果がある。また、スタガー型および逆スタガー型TFTマトリックスにおける補助容量用透明電極の外部接続抵抗を低減可能とし、TFTマトリックスの動作速度によるパターン設計上の制約を緩和する効果がある。

4 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明のスタガー型TFTマトリックスの製造工程の実施例説明図、

第3図は本発明のスタガー型TFTマトリックスを用いて成る液晶表示装置

第4図は本発明の別の実施例説明図、

第5図は従来のスタガー型TFTマトリックスの構造説明図である。

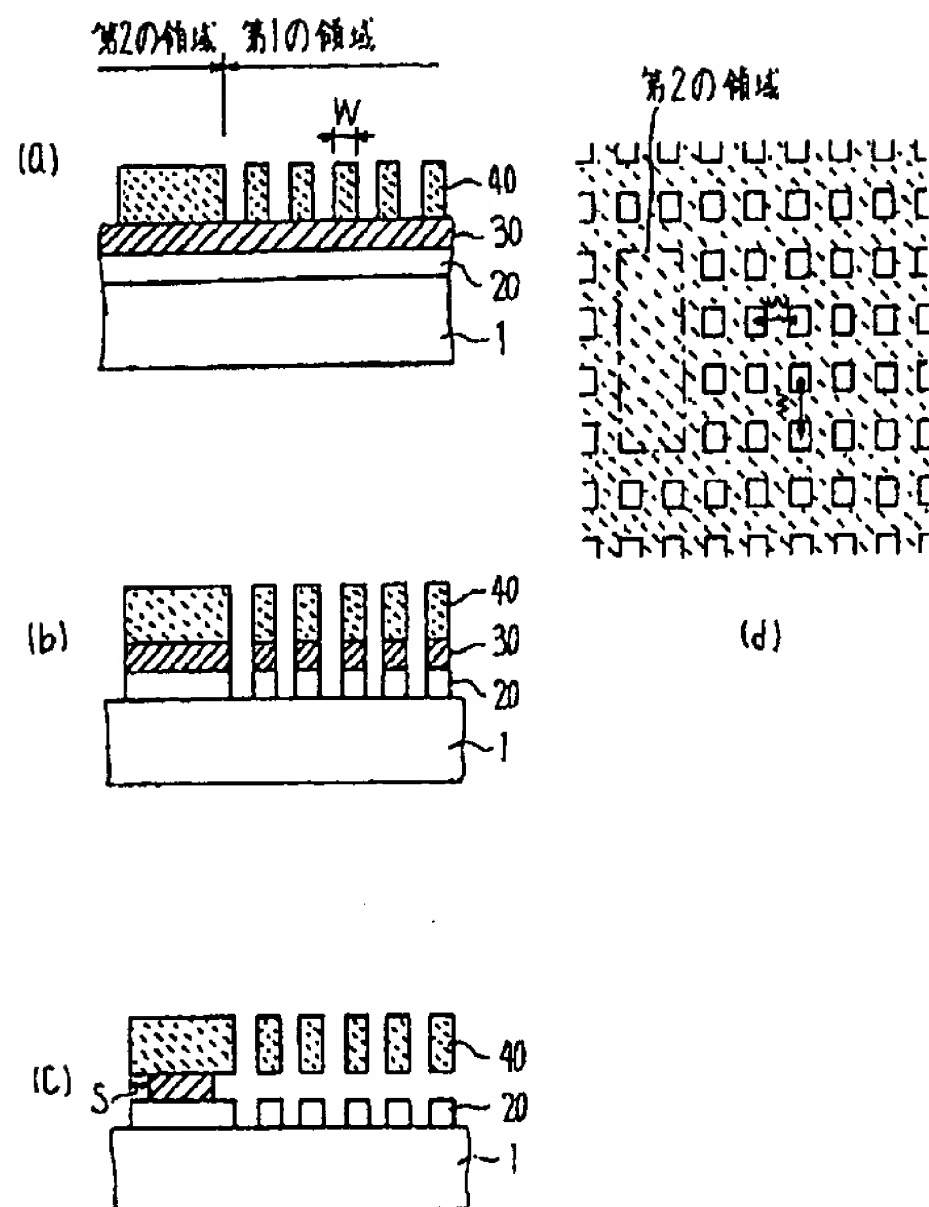
図において、

1は基板、2は補助容量用透明電極、
3は遮光層、4は誘電体層、5は表示電極、

6はオーミックコンタクト層、7は半導体層、
8はゲート絶縁層、9はゲート電極、
10と51はバス電極、12は透明電極、
13は透明絶縁性基板、15は液晶、
20と30は被エッチング層、40はレジスト層、
50は透明導電層、60は $n^+ - \alpha - Si$ 層である。

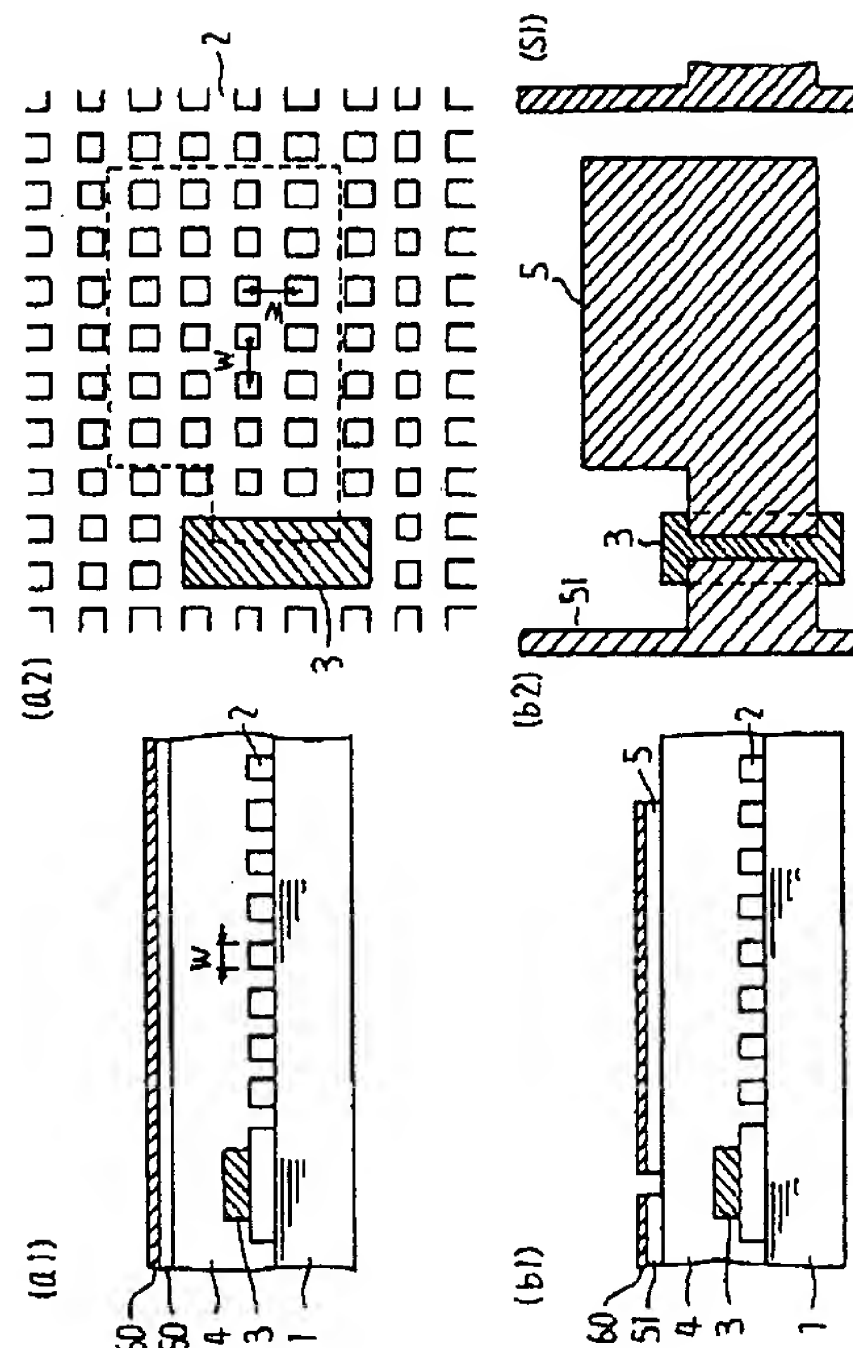
代理人 井理士 井桁 貞一



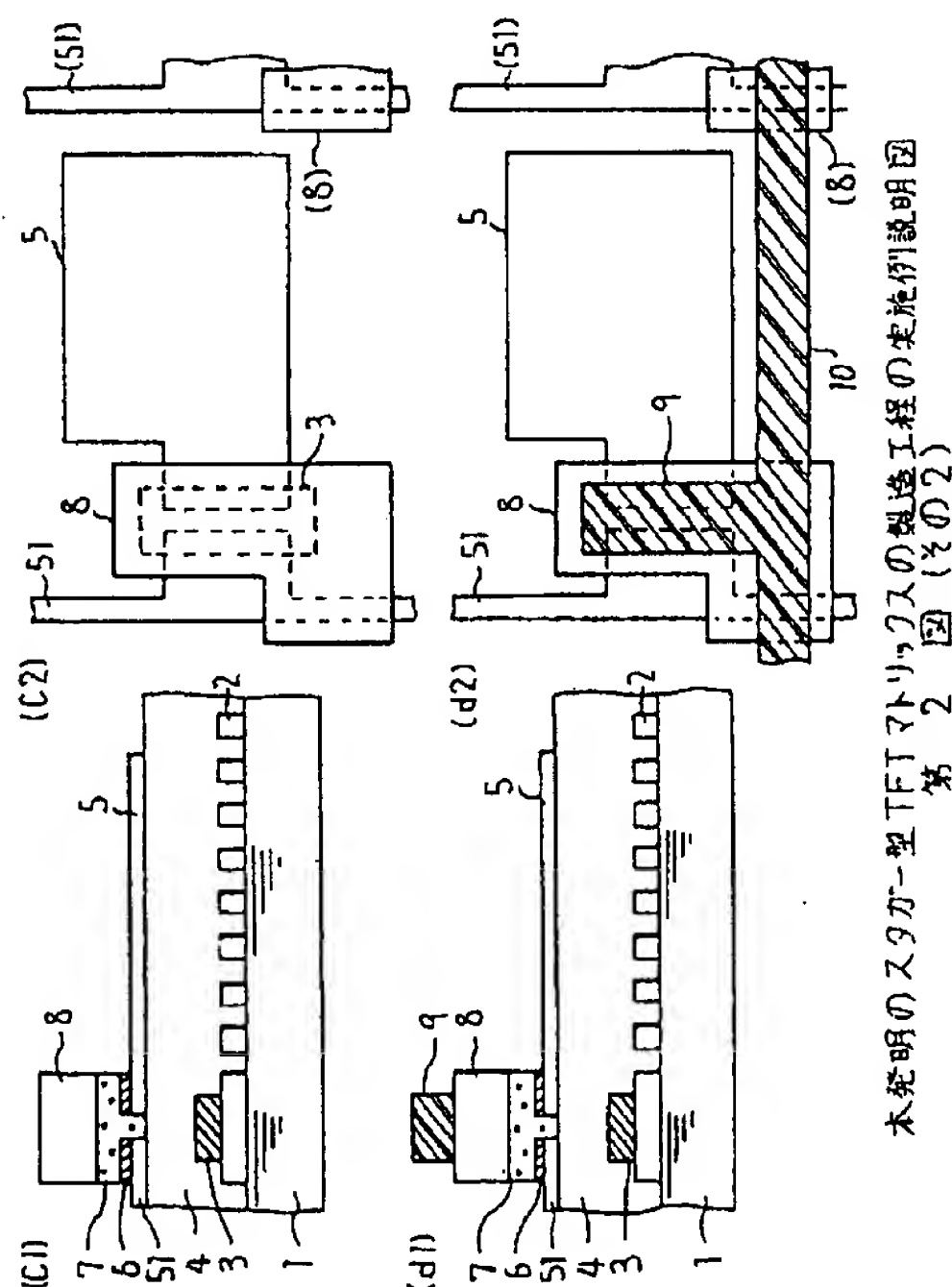


本発明の原理説明図

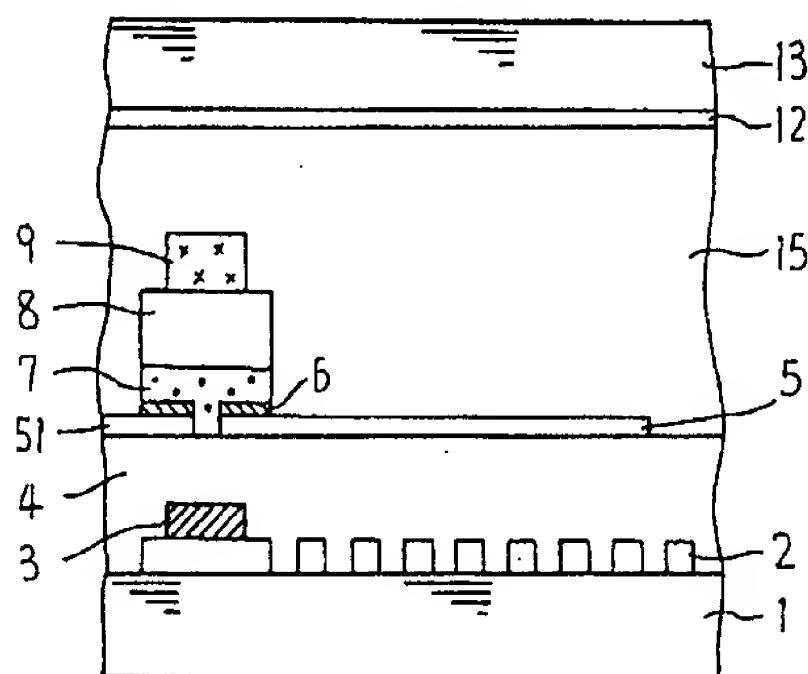
第 1 図



本発明のスタカー型TFTマトリックスの製造工程の実施例説明図
第 2 図 (その1)

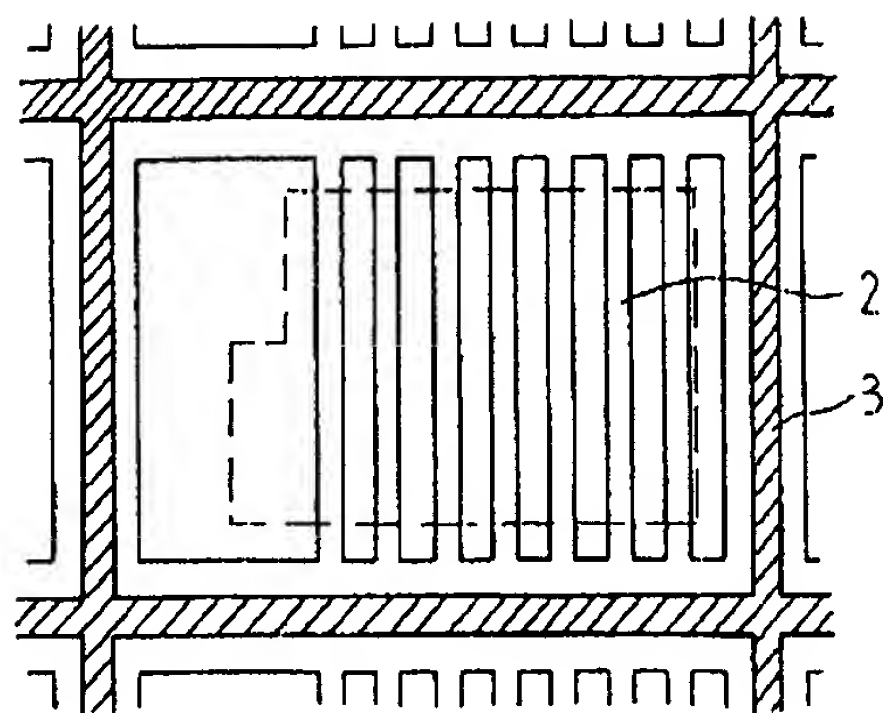


本発明のスタカー型TFTマトリックスの製造工程の実施例説明図
第 2 図 (その2)



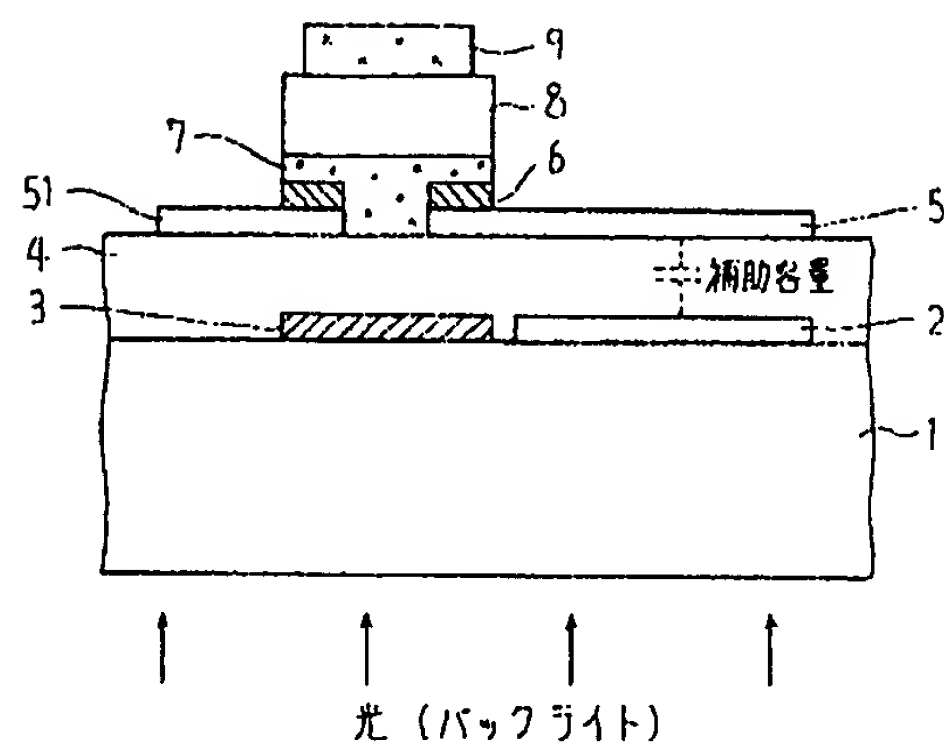
本発明のスタカー型TFTマトリックスを用いて成る液晶表示装置

第 3 図



本発明の別の実施例説明図

第 4 回



従来のスタガー型TFTマトリックスの構造説明図

第 5 回